

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-038801  
(43)Date of publication of application : 07.02.1995

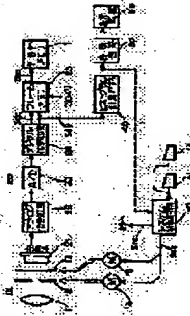
(51)Int. Cl.	H04N 5/235 603B 17/18
(21)Application number : 05-201067	(71)Applicant : SONY CORP
(22)Date of filing : 21.07.1993	(72)Inventor : SASAKI TADAO

(54) IMAGE PICKUP DEVICE

(57)Abstract:

PURPOSE: To easily confirm whether or not the exposure of the image pickup device of an electronic still camera, a camcorder, etc., is proper.

CONSTITUTION: The image pickup device is equipped with an optical system 10 and an image pickup system 20 and the video signal from the image pickup element of the image pickup system 20 is recorded on a recording medium. Further, the device is provided with a histogram calculating circuit 40 which calculates the distribution state of the luminance level of the video signal from the image pickup element in a specific section and a display means 60 which displays the calculated distribution state of the luminance level in the form of a graph.



【發明が解決しようとする課題】ところで、放送局などからビデオ出力信号（いわゆるE・E画）を被形モニタのビデオ内でのビデオカメラによる撮像の場合、カメラ

(3)

【0014】光学系10は、レンズ11、絞り機構12、光学シャッター13を備え、絞り機構12、光学シャッター13は、それぞれモータとして表わされる制御機構14、15を併い、レンズ11を通じてくる撮像光の量が制御される。

【0015】撮像系20には、CCD固体撮像素子21が搭載される。この撮像素子21の出力は、アナログ信号処理回路22に供給されて所定の信号処理が施され、A/D変換器23において、例えば1画素サンプルが8ビットのデジタル信号に変換されて、デジタル信号処理回路24に供給される。そして、このデジタル信号処理回路24からの1画面分のデジタル映像信号(画度信号Sdy、色信号Sdc)がフレイムメモリ25に格納される。

【0016】そして、フレイムメモリ25から読み出されたデジタル映像信号S25が、記録媒体、この例では半導体メモリ1に記録される。

【0017】なお、この半導体メモリ1に記録された静止画は、図示は省略するが、スチルビデオプレーヤにより電子的に再生され、あるいはスチルビデオプリンタによりハードコピーとして再生される。

【0018】システム制御回路30には、絞り機構12の絞り値とシャッター13のスピードとを設定する露出設定キー31と、シャッターリリースキー32とが接続される。そして、システム制御回路30からは、絞り制御機構14、光学シャッター制御機構15に露出制御信号Sexがそれぞれ供給されると共に、フレイムメモリ25に露出制御信号Srdが供給される。

【0019】この実施例では、更に、ヒストグラム計算回路40、表示回路50と、液晶表示装置60とが設けられる。ヒストグラム計算回路40には、信号処理回路24からのデジタル映像信号のうちのデジタル映像信号Sdyが供給される。このヒストグラム計算回路24では、1画面分の画像のある一定区間、例えば1フレームあるいはその特定の一定区間について、各画素の輝度レベルの分布状況が算出される。

【0020】すなわち、8ビットの画素データの場合には、そのデジタルレベルは、「0」から「255」までのいずれかになるので、その256段階の各レベルになる画素が何個ずつ存在するかを算出する。

【0021】図2は、このヒストグラム計算回路40の実施例である。すなわち、この例では、ヒストグラム計算回路40は、デコーダ41と、複数のカウンタ42a~42nとから構成される。8ビットの画素データの場で、256段階の各レベルになる画素が何個ずつ存在するかを算出する場合には、カウンタの数は256となり、カウンタ42aではレベル「0」の画素データ数をカウントし、カウンタ42bではレベル「1」の画素データをカウントし、……、カウンタ42nではレベル「255」の画素データをカウントする。

【0022】また、例えば、16段階の輝度グラフとするヒストグラムでは、輝度レベルの分布状況を表わす場合には、デコーダ41において、信号処理回路24からのデジタル映像信号Sdyの下位4ビットが切り捨てられると共に、カウンタ42a~42nの数が16個とされる。

【0023】このヒストグラム計算回路40のカウンタ42a~42nのカウント値出力は、表示回路50に供給される。そして、この表示回路50は、各カウンタのカウント値を、輝度グラフとして液晶表示装置60に表示する。

【0024】次に、図3をも参照しながら、図1の実施例のヒストグラム表示動作について説明する。この例の場合、2段式のシャッターリリースキー32が1段だけ押下された状態では、システム制御回路30からの制御信号により、光学シャッター13が適宜に開閉されると共に、絞り機構12がA/E制御に応じて適宜な絞り値に設定されて、撮像素子21に対して所定の露出が行なわれると共に、フレイムメモリ25からの読み出しが禁止される。

【0025】ヒストグラム計算回路40では、映像信号のフレーム期間の開始時に、各カウンタ42a~42nがクリアされ、そのフレーム期間あるいはそのフレーム区間のうちの一定区間、映像信号が1画素ずつデコーダ41に入力される。この例では1フレーム区間の全画素がデコーダ41に入力される。そして、その区間の各画素の輝度レベルに応じて、デコーダ41の特定の出力端子が選択され、この端子からの出力が対応するカウンタ42iに供給されて、カウンタ42i(i=a~n)の値が+1される。

【0026】そして、1フレーム期間中、上述のような動作が繰り返されて、その1フレーム期間が終わると、カウンタ42a~42nのカウント値が表示回路50に転送される。

【0027】表示回路50においては、各カウンタ42a~42nのカウント値を読み取り、このカウント値を、輝度グラフ表示形式で表示用メモリにデータを書き込み、図3に示すような輝度グラフとして液晶表示装置60に表示する。

【0028】露出が適正な場合は、デジタル映像信号Sdyのレベルが「0」及びその近傍や、「255」及びその近傍となるような画素の数は少ないので、図3Aに示すように、両端の棒の長さは短くなる。

【0029】一方、露出が過不足の場合で、白ツブレない黒ツブレが生じている場合には、図3B、Cに示すように、レベル「255」及びその近傍、また、レベル「0」及びその近傍のレベルにそれぞれ対応する棒グラフ部分が著しく長くなる。

【0030】撮影者は、液晶表示装置60上の輝度グラフの形状を観察することにより、撮像画像の面の明るさ

(4)

についての状況を容易に把握することができ、露出の適否を容易に判断することができる。したがって、撮影者は、必要に応じて、適正露出となるように、マニュアルで補正することができる。

【0031】また、図1で、破線で示すように、ヒストグラム計算回路40の出力信号を、光量検出信号として、マイクロコンピュータ30に供給することにより、絞り機構12を自動的に補正するようにしてもよい。すなわち、例えば、レベル「0」やレベル「255」の画素がなくなる、あるいは微小になるように、露出を補正するようにしてもよい。

【0032】なお、図1の実施例では、輝度のヒストグラムを液晶表示装置60上に表示するようにしたが、複数列に配置した発光ダイオードを用いて、図3に示すような、輝度のヒストグラムを表示するようにしてもよい。

【0033】次に、図4~図7を参照しながら、この例による撮像装置をビデオカメラに適用した他の実施例について説明する。この発明の他の実施例の全体の構成を図4に示し、その要部の構成を図5に示す。この図面において、前出図1に対応する部分には同一の符号を付して重複説明を省略する。

【0034】図4の実施例では、ヒストグラム計算回路40に加えて、表示信号形成回路50Aと、マトリクス回路70とが設けられる。また、26は電子ビューファインダであって、例えば、液晶表示装置で構成される。

【0035】この例においては、ヒストグラム計算回路40で算出された、例えば1フレーム区間の画素の輝度の分布状況から、表示信号形成回路50Aにおいて、表示画面において折線グラフと表示される表示信号Sdyとが、マトリクス回路70に供給されて、いずれか一方の選択的に取り出され、あるいは適宜に調整されて、いわゆるスーパージンポートされる。このスーパージンポートのためのキー信号Skyも形成回路50Aにおいて形成され、制御信号として、マトリクス回路70に供給される。

【0036】このマトリクス回路70の出力は、D/A変換器27によりアナログ映像信号に変換され、ビューファインダ26に供給される。このビューファインダ26上には、後述の図7に示すように、映像と折線グラフとが重畳表示される。

【0037】この実施例では、ヒストグラム計算回路40のカウント値42a~42n(図2参照)の数が例えば、256個とされて、信号処理回路24からの8ビットのデジタル映像信号Sdyが、下位ビットの切捨なしに処理される。

【0038】また、表示信号形成回路50Aは、図5に示すように、CPU51及び表示制御回路52と、1対のVRAM53、54とから構成される。その余の構成

は前出図1の例と同様である。

【0039】次に、図6及び図7をも参照しながら、ヒストグラム表示動作について説明する。露出設定のため、測光状態では、システム制御回路30からの制御信号によって、撮像素子21に対して所定の露出が行なわれると共に、フレイムメモリ25からの読み出しが禁止される。

【0040】ヒストグラム計算回路40では、前述と同様にして、映像信号のフレーム区間において、1画面分の各画素の輝度レベルの分布状況がカウンタ42a~42nにより計数されて、そのカウント値が表示信号形成回路50Aに転送される。

【0041】表示信号形成回路50Aにおいては、CPU51が、各カウンタ42a~42nのカウント値を読み取り、このカウント値から折線グラフ表示の形式の表示信号Shgを形成し、この表示信号Shgを表示制御回路52を通じてVRAM53に書き込む。表示制御回路52は、VRAM53からこの表示信号Shgを読み出してマトリクス回路70に供給すると共に、重量表示のためキー信号Skyを形成して、この信号Skyをマトリクス回路70に供給する。

【0042】マトリクス回路70においては、キー信号Skyに制御されて、信号処理回路24からのデジタル映像信号Sdyと、表示信号形成回路50Aからの表示信号Shgとが、適宜に切り換え、渡されてスーパージンポートされる。

【0043】したがって、電子ビューファインダ26の画面26D上には、図7に示すように、被写体の映像Pと、ヒストグラムの折線グラフPHSとが、重畳して表示される。このため、撮影者は、撮影のための構図と露出の適否を同時に確認することができる。

【0044】露出が適正な場合は、デジタル映像信号Sdyのレベルが「0」や「255」であるような画素の数は少ないので、図6Aに示すように、両端の棒は小さくなる。

【0045】一方、露出が過不足の場合は、白ツブレない黒ツブレが生じて、図6B、Cに示すように、「255」ないし「0」のレベルにそれぞれ対応する、一部ないし他端部にピークが生ずる。

【0046】したがって、撮影者は、ビューファインダ26上の折線グラフの形状を観察することにより、露出の適否を容易に判断することができ、必要に応じて、適正露出となるように、マニュアルで補正することができ

る。

【0047】また、この例においても、図において、破線で示すように、ヒストグラム計算回路40の出力信号を、光量検出信号として、マイクロコンピュータ30に供給することにより、絞り機構12を自動的に補正するようにしてもよい。

【0048】また、図4の例では、モノクロームの電子

(5)

ビューフアイニングを用いたが、カラー電子ビューフアイニングを用い、ヒストグラムとしての折れ線グラフを、特定の色で撮像画像に重畳して表示するようにしてもよい。

【0049】また、上述の実施例では、この発明を電子ビューフアイニングを備えた電子スタルカメラに適用した。が、記録媒体が磁気テープであって、この磁気テープ上に、回転ヘッドにより上記撮像信号を斜めトラックとして記録するカメラ一体型VTRにおいても、この発明を適用することができる。

【0050】

【発明の効果】以上説明したように、この発明によれば、撮像画像のうちのある一定の区間について、画像の速度レベルのヒストグラムを計算し、そのヒストグラムを棒グラフとして表示し、あるいは電子ビューフアイニングに撮像画像に重畳して表示して、撮像画像についての速度レベルの分布状況をグラフ化して表示するようにしたので、撮像時に、露出の適否を簡単に確認することができる。

【図面の簡単な説明】

【図1】この発明による撮像装置の一実施例の構成を示すブロック図である。

【図2】この発明の一実施例の要部の構成を示すブロック

ク図である。

【図3】この発明の一実施例の動作を説明するための図である。

【図4】この発明の他の実施例の構成を示すブロック図である。

【図5】この発明の他の実施例の一部の構成を示すブロック図である。

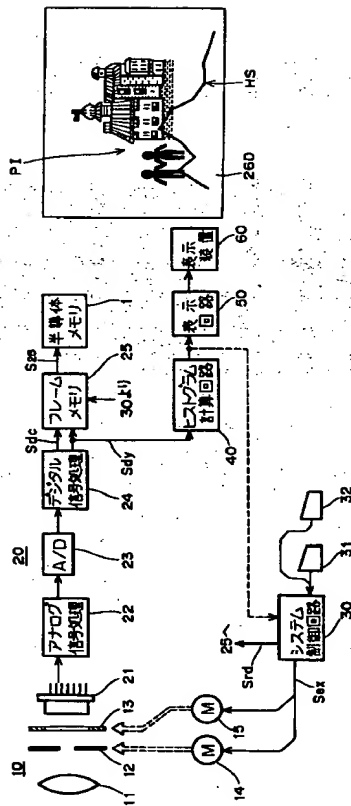
【図6】この発明の他の実施例の動作を説明するための図である。

【図7】この発明の他の実施例の動作を説明するための図である。

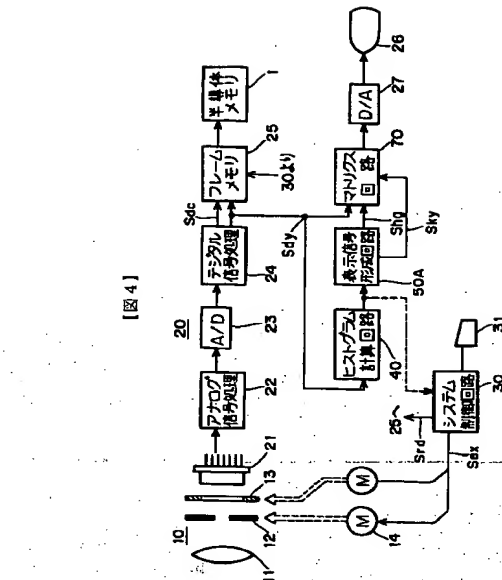
【符号の説明】

- 10 光学系
- 12 絞り
- 20 撮像素子
- 21 電子ビューフアイニング
- 26 電子ビューフアイニング
- 40 ヒストグラム計算回路
- 50 表示回路
- 50A 表示信号形成回路
- 60 液晶表示素子
- 70 マトリクス回路

【図1】

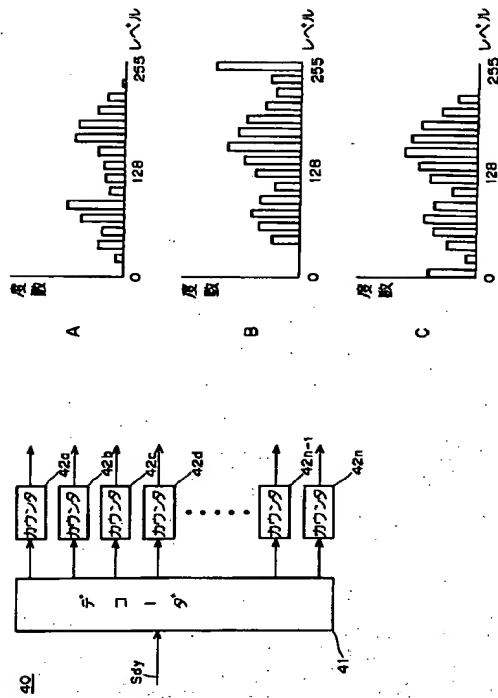


【図7】

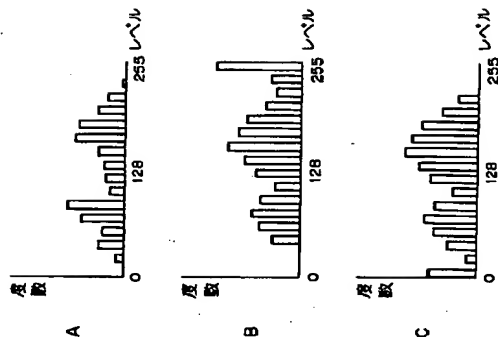


【図4】

【図2】

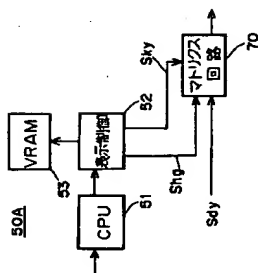


【図3】



(7)

【図5】



【図6】

